



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2836
Examiner: Unassigned

In Re PATENT APPLICATION OF:

Applicants : Meng-Huang LIU et al.)
Serial No. : 10/606,922)
Filed : June 27, 2003)
For : ESD PROTECTION APPARATUS) CLAIM FOR PRIORITY
AND METHOD FOR DUAL-)
POLARITY INPUT PAD)
Attorney Ref. : COR 127)
September 29, 2003

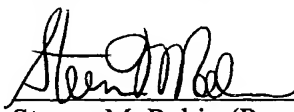
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Chinese Application No. 012140160.8, filed July 1, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,


Steven M. Rabin (Reg. No. 29,102)
RABIN & BERDO, P.C.
(Customer No. 23995)
Telephone: (202)371-8976
Telefax: (202)408-0924

September 29, 2003
Date

SMR:QZ:tz

FEE ENCLOSED: \$
Please charge any further
to our Deposit Account
No. 18-0002

证 明

本证明之附件是向本局提交的下列专利申请副本

申 请 日： 2002 07 01

申 请 号： 02 1 40160.8

申 请 类 别： 发明

发明创造名称： 双极性输入垫的静电放电保护装置及方法

申 请 人： 旺宏电子股份有限公司

发明人或设计人： 刘孟煌； 赖纯祥； 苏醒； 卢道政

中华人民共和国
国家知识产权局局长

王 景 川

2003 年 7 月 9 日

权 利 要 求 书

1. 一种双极性输入垫的静电放电保护装置, 其特征在于: 该装置包括:

—第一导电型的第一区域;

5 —第二导电型的第二区域, 形成于该第一区域内;

—第一导电型的第三区域, 形成于该第二区域内;

—第一导电型的第一输入端连接区域及一第二导电型的第二输入端连接区域, 形成于该第三区域内; 以及

10 —第一导电型的第一接地端连接区域及一第二导电型的第二接地端连接区域, 形成于该第一区域上。

2. 如权利要求1所述的静电放电保护装置, 其特征在于: 更包括一第二导电型的桥接区域, 横跨该第二区域而延伸至该第一及第三区域中。

3. 如权利要求1所述的静电放电保护装置, 其特征在于: 其中该第一区域为一半导体基底。

15 4. 如权利要求1所述的静电放电保护装置, 其特征在于: 其中该第一、第二及第三区域形成一三重井结构。

5. 如权利要求1所述的静电放电保护装置, 其特征在于: 其中该第一及第二输入端连接区域连接该输入垫, 该第一及第二接地端连接区域连接一接地垫。

20 6. 如权利要求1所述的静电放电保护装置, 其特征在于: 其中该第一输入端连接区域、第三区域、第二区域、第一区域以及第一及第二接地端连接区域在一正极性静电放电事件期间形成一硅控整流器电路。

7. 如权利要求1所述的静电放电保护装置, 其特征在于: 其中该第一及第二输入端连接区域、第三区域、第二区域、第一区域以及第一接地端连接区域在一负极性静电放电事件期间形成一硅控整流器电路。

25 8. 如权利要求1所述的静电放电保护装置, 其特征在于: 其中该第一区域、第二区域及第三区域在一正常操作期间形成二背对背串联的二极管结构。

9. 如权利要求2所述的静电放电保护装置, 其特征在于: 其中该桥接区域在

一正极性静电放电事件中对该第一区域发生崩溃。

10. 如权利要求2所述的静电放电保护装置, 其特征在于: 其中该桥接区域在一负极性静电放电事件中对该第三区域发生崩溃。

11. 一种双极性输入垫的静电放电保护装置, 其特征在于: 该装置包括:

5 一硅控整流器结构, 含有第一导电型的第一及第二半导体区域及介于二者之间的第二导电型的第三半导体区域;

第一电极区域连接该第一半导体区域, 该第一电极区域含有第一导电型的第一部分及第二导电型的第二部分; 以及

10 第二电极区域连接该第二半导体区域, 该第二电极区域含有第一导电型的第一部分及第二导电型的第二部分。

12. 如权利要求11所述的静电放电保护装置, 其特征在于: 更包括一PN接面, 于一正极性静电放电事件中对该第一半导体区域发生崩溃。

13. 如权利要求11所述的静电放电保护装置, 其特征在于: 更包括一PN接面, 于一负极性静电放电事件中对该第二半导体区域发生崩溃。

15 14. 如权利要求11所述的静电放电保护装置, 其特征在于: 其中该硅控整流器结构为由CMOS三重井制程形成。

15. 如权利要求11所述的静电放电保护装置, 其特征在于: 其中该第一电极区域的第一及第二部分连接一接地垫, 该第二电极区域的第一及第二部分连接该输入垫。

20 16. 如权利要求11所述的静电放电保护装置, 其特征在于: 其中该第二电极区域的第一部分、第二半导体区域、第三半导体区域、第一半导体区域以及第一电极区域的第一及第二部分在一正极性静电放电事件期间形成一硅控整流器电路。

25 17. 如权利要求11所述的静电放电保护装置, 其特征在于: 其中该第二电极区域的第一及第二部分、第二半导体区域、第三半导体区域、第一半导体区域以及第一电极区域的第一部分在一负极性静电放电事件期间形成一硅控整流器

7
电路。

18. 如权利要求11所述的静电放电保护装置, 其特征在于: 其中该第一半导体区域、第三半导体区域及第二半导体区域在一正常操作期间形成二背对背串联的二极管结构。

5 19. 一种双极性输入垫的静电放电保护方法, 其特征在于: 该方法包括下列步骤:

形成第一导电型的第一及第二半导体区域及介于二者之间的第二导电型的第三半导体区域;

10 形成含有第一导电型的第一部分及第二导电型的第二部分的第一电极区域
连接该第一半导体区域;

形成含有第一导电型的第一部分及第二导电型的第二部分的第二电极区域
连接该第二半导体区域;

连接该第一电极区域至该输入垫; 以及

连接该第二电极区域至一接地垫。

15 20. 如权利要求19所述的方法, 其特征在于: 其中该第一、第三及第二半导体区域为利用CMOS三重井制程所形成。

21. 如权利要求19所述的方法, 其特征在于: 更包括形成一第二导电型的桥接区域横跨该第三半导体区域而延伸至该第一及第二半导体区域中。

20 22. 如权利要求19所述的方法, 其特征在于: 更包括在一正极性静电放电事件中, 于该第二半导体区域中产生一接面崩溃。

23. 如权利要求19所述的方法, 其特征在于: 更包括在一负极性静电放电事件中, 于该第一半导体区域中产生一接面崩溃。

24. 一种双极性输入垫的静电放电保护方法, 其特征在于: 该方法包括下列步骤:

25 形成一硅控整流器结构;

连接一含有相反导电型区域的第一电极区域与该硅控整流器结构;

连接一含有相反导电型区域的第二电极区域与该硅控整流器结构;
连接该第一电极区域至该输入垫; 以及
连接该第二电极区域至一接地垫。

25. 如权利要求24所述的方法, 其特征在于: 其中该硅控整流器结构为利用
5 CMOS三重井制程所形成。

26. 如权利要求24所述的方法, 其特征在于: 更包括在一正极性静电放电事件中, 产生一接面崩溃以降低该硅控整流器结构的触发电压。

27. 如权利要求24所述的方法, 其特征在于: 更包括在一负极性静电放电事件中, 产生一接面崩溃以降低该硅控整流器结构的触发电压。

说明书

双极性输入垫的静电放电保护装置及方法

5 技术领域

本发明涉及静电放电 (Electro-Static Discharge; ESD) 保护装置及方法, 特别是关于一种双极性输入垫的静电放电保护装置及方法。

10 背景技术

在半导体存储器装置中, 特别是可程序化只读存储器 (EPROM) 和快闪 (flash) 存储器, 除了正电压之外, 某些程序化 / 抹除 (program/erase) 架构要求负电压供应。通常, 此负电压供应使用电荷泵 (charge-pumping) 电路, 然而, 电荷泵电路占据大面积, 为了节省硅晶片的面积, 电路设计者希望在程序化 / 抹除期间能有一负电压直接从适当的接脚供应。

通常, 在P型基底 (substrate) 或井区 (well) 中形成的N型元件连接在输入垫及接地垫之间被用来作为ESD保护装置, 而且该P型井区或基底在正常操作期间被接地, 图1是以NMOS为示例的ESD保护装置10, 其包括在一P型基底或井区12上形成P+区域14以及N+区域16及18, N+区域16及18之间的通道区上方有ESD保护装置的闸极20, N+区域16连接一输入垫22, N+区域18及P+区域14连接一接地垫24, 然而, 在此结构10中, 由N+区域16与P型基底或井区12形成的寄生二极管26存在输入垫22与接地垫24之间, 此寄生二极管26的存在限制施加的负电压低于-0.7伏特 (V), 其因为该寄生二极管26为顺向偏压导通的缘故, 不过, 对于实际的负电压应用而言, 负电压可能达到-7V, 取决于程序化 / 抹除的要求, 因此, 一种能够施加双极性电压的ESD保护装置及方法乃为所冀。

发明内容

本发明的主要目的在于提供一种双极性输入垫的ESD保护装置及方法。

根据本发明，一种双极性输入垫的ESD保护装置及方法包括在一半导体基底
5 上形成一硅控整流器结构，其在第一导电型的二半导体区域之间插入一第二导电型的半导体区域，较佳的，此结构为利用互补式金氧半导体（CMOS）制程制作一三重井而达成。在该第一导电型的二半导体区域上各自形成一对相反导电型的第一及第二电极连接区域分别连接该输入垫及一接地垫。一第二导电型的桥接区域横跨该第二导电型的半导体区域而延伸至该第一导电型的二半导体区
10 域中。在一正常操作期间，不论是正极性或负极性，该装置中的结构形成二背对背串联的二极管，其在负电压供应期间将消除顺向偏压的寄生二极管。在一正极性的ESD事件期间，该桥接区域的接面发生崩溃，产生大量载子，其电洞引发的电流将触发一正极性ESD保护的硅控整流器。在一负极性的ESD事件期间，该桥接区域的接面发生崩溃，产生大量载子，其电洞引发的电流将触发一负极
15 性ESD保护的硅控整流器。

本发明使用CMOS三重井制程形成硅控整流器结构，由于使用三重井，在输入垫与接地垫之间的寄生二极管被消除，并且负电压可以被施加，利用此硅控整流器结构，能够以小元件获得极佳的ESD性能表现。

附图说明

图1为以NMOS为示例的习知ESD保护装置；

图2为根据本发明的较佳实施例；

图3显示图2的装置在正常工作期间，其中寄生的背对背二极管；

25 图4显示图2的装置在正极性的ESD事件期间，其提供的硅控整流器；

图5为图4中的硅控整流器的等效电路；

图6显示图2的装置在负极性的ESD事件期间，其提供的硅控整流器；

图7为图6中的硅控整流器的等效电路；

图8为图2的装置的双极性电流-电压特性曲线。

5 具体实施方式

以下举出较佳实施例，并结合附图，对本发明的技术方案、特征及效果作进一步的详细说明。

图2为本发明的较佳实施例。在一P型基底或井区28内形成一较深层的N型井区30，再形成一P型井区32于N型井区30内，P型基底或井区28、N型井区30及P型井区32因而形成一三重井的结构，此三重井可以利用CMOS制程得到。在P型基底或井区28上形成接地端连接区域29，其包括两相反导电型的P+区域34及N+区域36，二者连接至接地垫46。在P型井区32上形成输入端连接区域31，其包括两相反导电型的N+区域38及P+区域40，二者连接至输入垫44。一N+区域42横跨N型井区30，而延伸至P型基底或井区28及P型井区32中。

如图3所示，图2的装置在正常工作期间，P型基底或井区28、N型井区30以及P型井区32形成二寄生的二极管48及50，且背对背串接在接地垫46及输入垫44之间，其在负电压供应期间将消除顺向偏压的寄生二极管。

发生正极性的ESD事件时，如图4所示，P型基底或井区28、N型井区30以及P型井区32形成一硅控整流器结构，嵌在P型井区32中的P+区域40作为该硅控整流器结构的阳极，而嵌在P型基底或井区28中的N+区域36作为该硅控整流器结构的阴极。此外，横跨N型井区30的桥接区域42将使崩溃电压降低，因此降低该硅控整流器结构的触发电压。当正极性的ESD脉冲施予输入垫44时，P型井区32与N型井区30之间的接面首先被顺向偏压。P型井区32、N型井区30及P型基底或井区28存在一寄生的PNP晶体管54，其射极为P型井区32，基极为N型井区30，集极为P型基底或井区28。由于P型基底或井区28经P+区域34接地，所以该垂直的PNP

晶体管54被开启，此系因为其射极-基极顺向偏压，而集极-基极逆向偏压。当桥接区域42与P型基底或井区28之间的跨压超过其PN接面52的崩溃电压时，产生大量载子，所产生的电洞将流向作为阴极的P+区域34，由于基底电阻58存在的缘故，此电洞电流成分将提升P型基底或井区28相对于阴极的电压，导致P型基底或井区28与连接阴极的N+区域36之间的PN接面顺向偏压，如此将开启由N+区域36、P型基底或井区28及N型井区30所形成的寄生NPN晶体管56，其中，N+区域36作为射极，P型基底或井区28作为基极，N型井区30作为集极。一旦寄生的PNP及NPN晶体管54及56被开启，该硅控整流器结构将因为正反馈程序而被触发开启，此一硅控整流器结构在正极性ESD脉冲下的等效电路60显示在图5中。

发生负极性的ESD事件时，如图6所示，P型基底或井区28、N型井区30以及P型井区32形成一硅控整流器结构，嵌在P型井区32中的N+区域38作为该硅控整流器结构的阴极，而嵌在P型基底或井区28中的P+区域34作为该硅控整流器结构的阳极。此外，横跨N型井区30的桥接区域42将使崩溃电压降低，因此降低该硅控整流器结构的触发电压。当负极性的ESD脉冲施予输入垫44时，P型基底或井区28与N型井区30之间的接面被顺向偏压，而P型井区32与N型井区30之间的接面保持在逆向偏压。P型基底或井区28、N型井区30及P型井区32存在一寄生的PNP晶体管64，其射极为P型基底或井区28，基极为N型井区30，集极为P型井区32。由于施加的负电压大部分落在P型井区32中与N型井区30之间，所以该垂直的PNP晶体管64被开启。当桥接区域42与P型井区32之间的跨压超过其PN接面62的崩溃电压时，产生大量载子，所产生的电洞将流向作为阴极的P+区域40，由于井区电阻68存在的缘故，此电洞电流成分将提升P型井区32相对于阴极的电压，导致P型井区32与连接阴极的N+区域38之间的PN接面顺向偏压，如此将开启由N+区域38、P型井区32及N型井区30所形成的寄生NPN晶体管66，其中，N+区域38作为射极，P型井区32作为基极，N型井区30作为集极。一旦寄生的PNP及NPN晶体管64及66被开启，该硅控整流器结构将因为正反馈程序而被触发开启，此一硅控整流器结构在负极性ESD脉冲下的等效电路70显示在图7中。

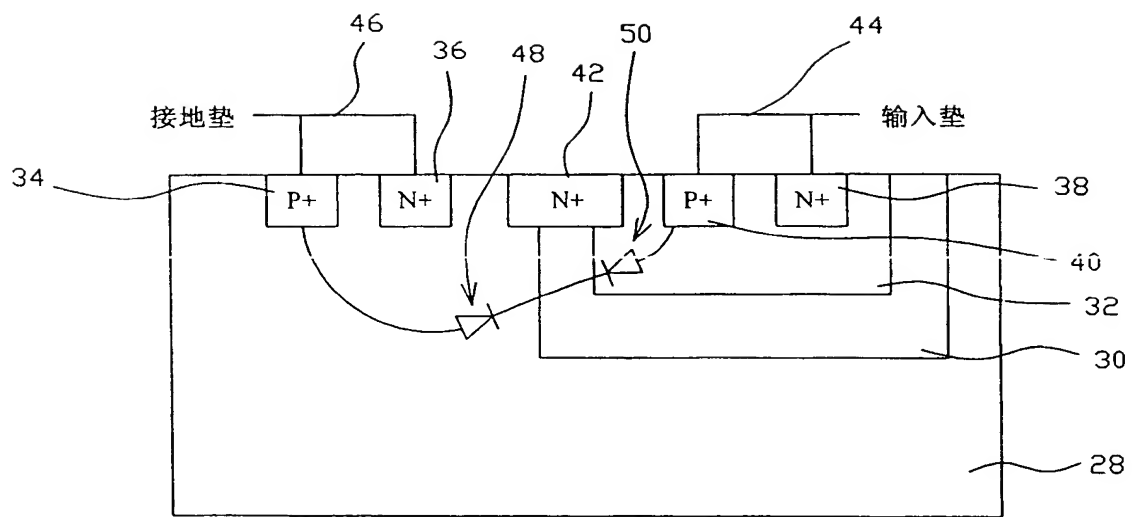


图 3

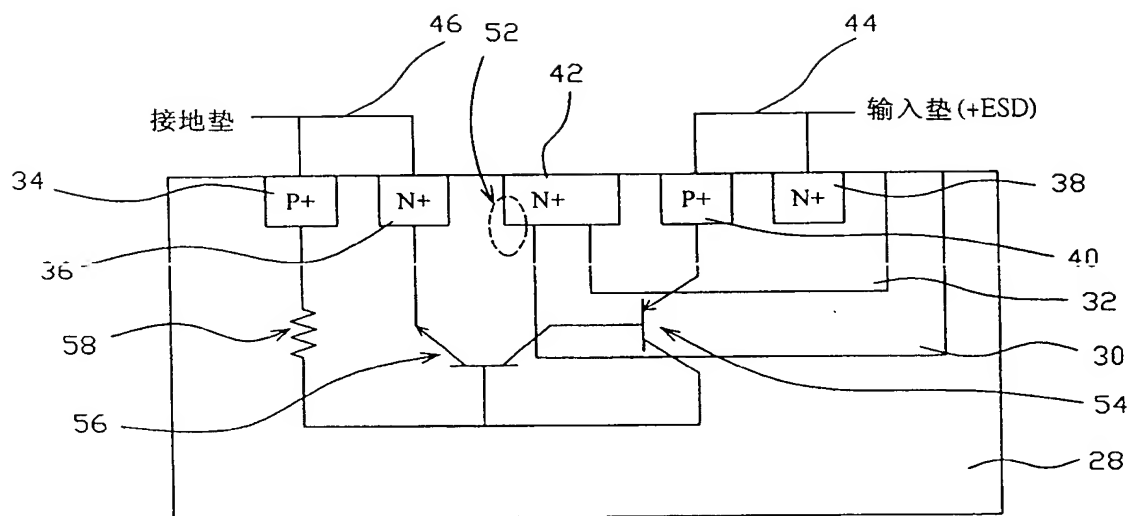


图 4

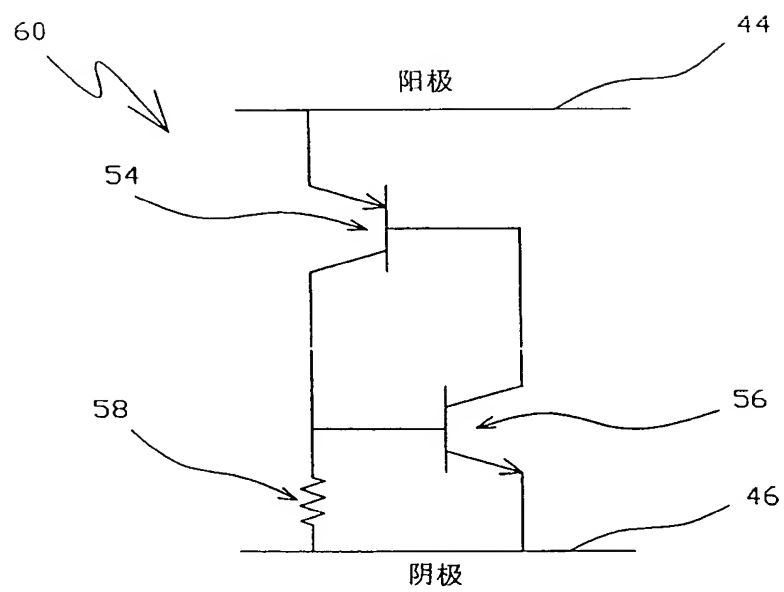


图 5

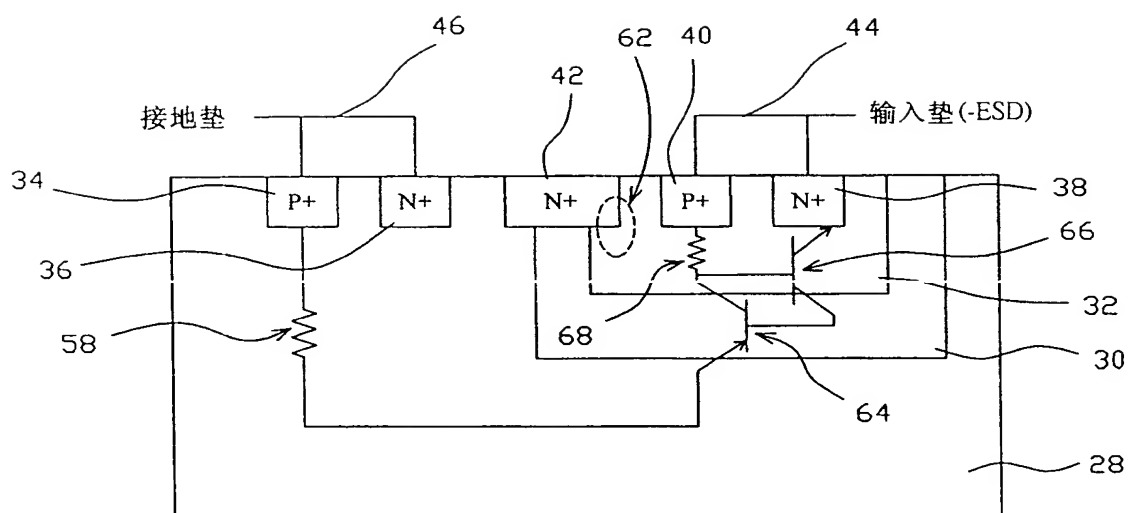


图 6

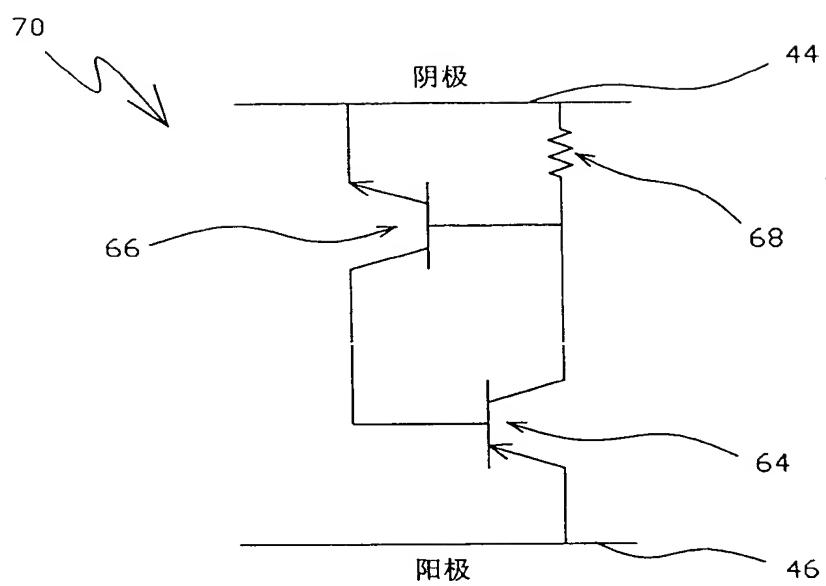


图 7

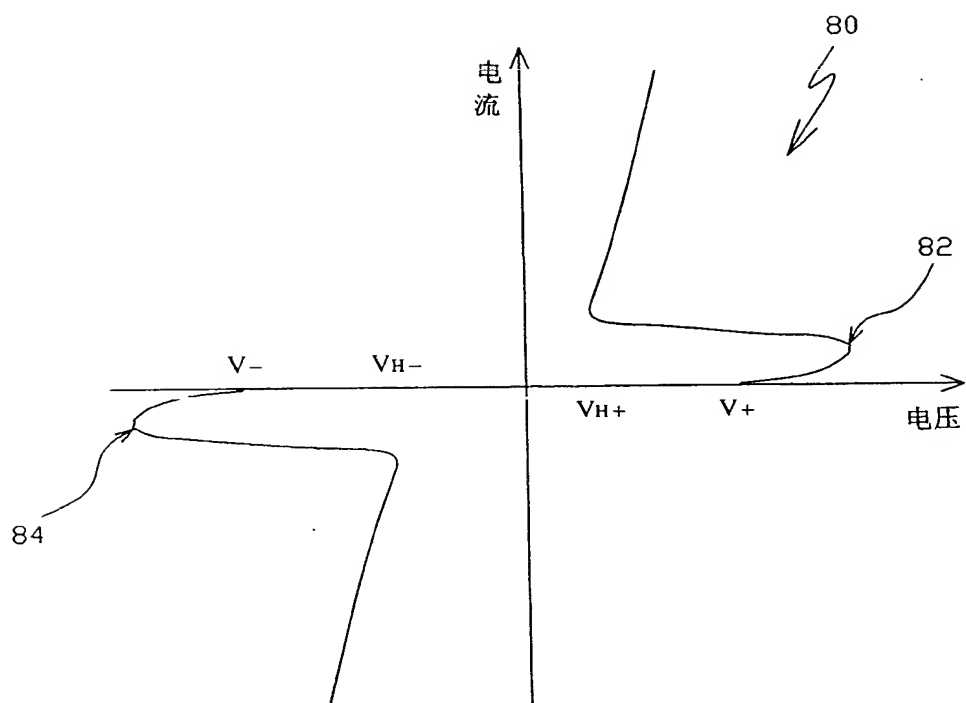


图 8

上述实施例的双极性电流-电压特性曲线如图8所示。当输入正电压时，电压从 $V+$ 上升至崩溃点82后迅速地下降到维持电压 (holding voltage) $VH+$ ，然后电流将随着电压的上升而迅速地上升。当输入负电压时，电压从 $V-$ 下降至崩溃点84后迅速地上升到维持电压 $VH-$ ，然后电流的大小将随着电压的下降而迅速地增加。不过此特性曲线80的正极性与负极性之间并非对称的，因为其各自对应的硅控整流器结构为不对称的PNPN结构。但是，在各极性区中的低维持电压是可以期待的，而且可以提供有效的双极性ESD保护。

从以上的实施例说明可知，本发明使用CMOS三重井制程形成硅控整流器结构，由于使用三重井，在输入垫与接地垫之间的寄生二极管被消除，并且负电压可以被施加，利用此硅控整流器结构，能够以小元件获得极佳的ESD性能表现。

以上对于实施例所作的叙述的目的是为了阐明本发明，而无意对本发明进行限定，基于以上的说明或从本发明的实施例学习而作修改或变化是可能的，因此，本发明的技术思想企图应由本案的权利要求范围及其均等来决定。

1x

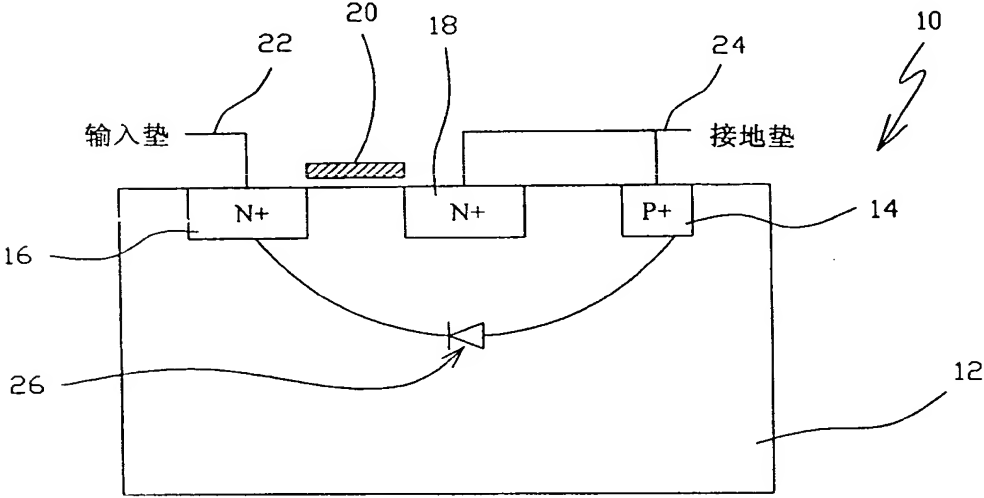


图 1

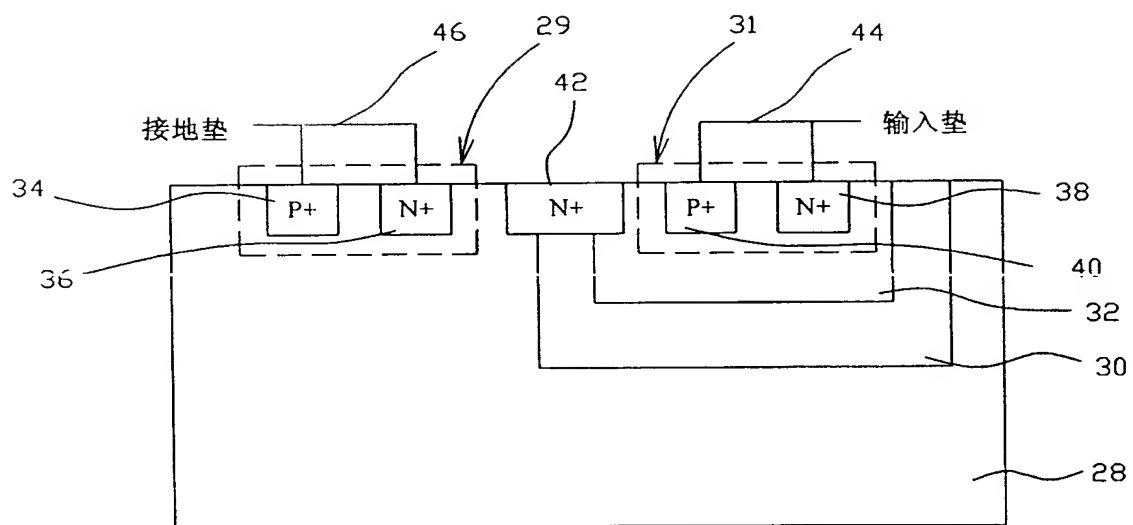


图 2